



# JCE 2011 GRANADA

20 y 21 OCTUBRE 2011

## II JORNADAS DE COMPUTACIÓN EMPOTRADA

UNIVERSIDAD DE GRANADA



### EDITORES

Jesús González, Miguel Damas, Javier Díaz, Pedro A. Castillo

Libro de resúmenes y presentaciones  
de las II Jornadas de Computación Empotrada



**JCE 2011**  
**GRANADA**  
20 y 21 Octubre 2011

## II JORNADAS DE COMPUTACIÓN EMPOTRADA

---

UNIVERSIDAD DE GRANADA

Libro de resúmenes y presentaciones de las Jornadas

### EDITORES

Jesús González  
Miguel Damas  
Javier Díaz  
Pedro A. Castillo



Departamento de Arquitectura y Tecnología de Computadores  
Master en Ingeniería de Computadores y Redes



Vicerrectorado  
para la Garantía de la Calidad



Sociedad de Arquitectura y  
Tecnología de los Computadores



Capítulo Español de la  
Sociedad IEEE Computer



Plataforma Tecnológica Española  
de Sistemas con Inteligencia Integrada

**Libro de resúmenes de las II Jornadas de Computación Empotrada  
Celebradas en la Universidad de Granada los días 20 y 21 de octubre de  
2011.**

**II Jornadas de Computación Empotrada (Granada 2011)**

**Depósito Legal: GR 4403/2011**

**ISBN: 978-84-15261-95-7**

Diseño de cubierta: Miguel Damas

**Edita e imprime:** Copicentro Granada S.L.

Reservado todos los derechos a los autores. Queda rigurosamente prohibida,  
sin la autorización escrita de los titulares del Copyright, bajo las sanciones  
establecidas en las leyes, la reproducción total o parcial de esta obra.

## **Presentación**

Dado que los sistemas empotrados tienen cada vez una mayor presencia en nuestro entorno, las JCE tienen el espíritu de crear un foro de debate y cooperación, de carácter docente, investigador y profesional, entre expertos del área para presentar los desarrollos más recientes en este campo.

Es importante destacar que la temática aquí abordada es considerada a nivel internacional y en concreto a nivel Europeo de máxima importancia. Prueba de ello es la existencia de plataformas tecnológicas como Artemis o Itea-2 sobre esta temática y además la existencia de numerosísimas asociaciones industriales. Se considera que en una economía globalizada los sistemas empotrados son uno de los sectores claves para asegurar la competitividad internacional de una zona económica o país. España es una potencia con relevancia mundial en los sistemas empotrados aplicados por ejemplo a gestión/producción de energía o a salud, y tiene intereses notables en sectores como multimedia, aviónica o aeroespacial. No obstante, y aunque existe un elevado número de grupos nacionales trabajando en sistemas empotrados, hasta que aparecieron las JCE el año pasado no existía un punto de encuentro entre los investigadores que trabajan en este campo. Las JCE pretenden llenar ese vacío, dando una visión coordinada de la investigación en este campo en España, aumentando las colaboraciones y el conocimiento de los grupos nacionales y sirviendo a la vez de conexión/catalizador de la transferencia tecnológica a la industria.

Aprovechando la buena acogida de las Jornadas de Computación Empotrada celebrada en el marco del CEDI'2010 en Valencia, se han organizado las Segundas Jornadas de Computación Empotrada o JCE'2011. Al evento, que se celebrará en Granada los días 20 y 21 de Octubre de 2011, están invitados múltiples grupos de investigación nacionales con actividad relevante tanto en docencia como en investigación en alguna de las distintas facetas relacionadas con la Computación Empotrada. La reunión de este año tiene como principales objetivos el servir de punto de encuentro entre los distintos grupos españoles que trabajan en sistemas empotrados, y el de proporcionar un ciclo de conferencias para alumnos de grados y masteres destinadas a dar a conocer los últimos avances en estos sistemas desde diferentes puntos de vistas: Universidad, empresas, y organismos tales como el IEEE Computer, la Sociedad Española de Arquitectura de Computadores (SARTECO) o la Plataforma Tecnológica Española en el área de los Sistemas con Inteligencia Integrada (PROMETEO).

El comité organizador de las II Jornadas de Computación Empotrada

Granada, 20 y 21 de octubre de 2011

# Contenido

## II JORNADAS DE COMPUTACIÓN EMPOTRADA, JCE 2011

Arquitectura de Objetos Distribuidos para el Diseño de Sistemas Heterogéneos Complejos. <i>Juan Carlos López López, Jesús Barba Romero</i> .....	1
Diseño de sistemas empotrados HW/SW: Flujo de diseño basado en UML/MARTE y SystemC <i>Eugenio Villar Bonet</i> .....	19
Hardware para procesamiento de imagen y vídeo <i>Sebastián López Suárez, Roberto Sarmiento Rodríguez</i> .....	35
Investigación en Sistemas Empotrados en la Universidad de Granada: Desarrollo de aplicaciones críticas en sistemas multicore <i>Javier Díaz Alonso, José Luis Gutiérrez Rivas, David Fernández García, Miguel Méndez</i> .....	47
De la Internet de las cosas hacia el desarrollo Sostenible <i>Jesús González Peñalver, Francisco J. Estévez Ortiz y Vicente Ruiz Rodríguez</i> .....	59
Investigación aplicada en temas de computación empotrada del grupo de Neuroingeniería Biomédica de la Universidad Miguel Hernández de Elche <i>J. Carlos Pérez Vidal</i> .....	71
Co-diseño hardware/software de sistemas basados en microprocesador tolerantes a fallos inducidos por radiación <i>Antonio Martínez Álvarez</i> .....	89
Generación de código ANSI-C a partir de modelos de componentes UML para sistemas embebidos <i>Goiuria Sagardui Mendieta</i> .....	121
Plataforma Prometeo <i>Francisco Ramos Peñuela</i> .....	135
Investigación en Computación Empotrada dentro del Grupo ARCO de la Universidad de Extremadura <i>Miguel A. Vega Rodríguez, Juan A. Gómez Pulido</i> .....	145
Tolerancia a fallos y control de tiempo distribuido en redes de sensores <i>Joaquín Olivares Bueno, José Manuel Palomares Muñoz</i> .....	159
Procesando el Sol en SO/PHI y controlando NOMAD en Marte <i>Rosario Sanz Mesa, Pedro Cobos Carrascosa</i> .....	173
Java para el Desarrollo de Sistemas Empotrados <i>Juan Antonio Holgado Terriza, Sandra Rodríguez Valenzuela, Jesús Luis Muros Cobos</i> .....	189

Investigación en sistemas empotrados en CAIAC-UAB	
<i>David Castells i Rufas</i> .....	215
Docencia de sistemas empotrados en la Universidad de Granada	
<i>Julio Ortega Lopera</i> .....	231

## Investigación en Sistemas Empotrados en la Universidad de Granada: Desarrollo de aplicaciones críticas en sistemas multicore

Javier Díaz Alonso, José Luis Gutiérrez Rivas, David Fernández García, Miguel Méndez

*Grupo de investigación en circuitos y sistemas para procesamiento de la información*  
*Departamento de Arquitectura y Tecnología de Computadores*  
*Universidad de Granada*  
jdiaz@atc.ugr.es

### Resumen:

En esta presentación, junto con la siguiente, se muestran algunas de las líneas de investigación relacionadas con los Sistemas Empotrados en las que trabaja el grupo CASIP (Circuitos y Sistemas para Procesamiento de la Información) de la Universidad de Granada.

Concretamente, el trabajo aquí descrito está siendo desarrollado dentro del proyecto FP7-Artemis RECOMP. En el marco de los sistemas electrónicos confiables, destacan por sus requisitos de robustez y fiabilidad los sistemas conocidos como críticos (safety-critical systems). En ellos el fallo del sistema puede tener consecuencias catastróficas incluso con pérdidas de vidas humanas. En este marco la ponencia describe una metodología de diseño basado en lenguajes de alto nivel (UML-Marte) y técnicas de codiseño basadas en la utilización de SystemC.

El objetivo es el desarrollo de sistemas de criticalidad mixta (mixed-criticality systems) basados en plataformas multicore que permitan diferentes esquemas de particionamiento/aislamiento, bien temporal o bien espacial, de las tareas críticas y las no críticas. El trabajar con sistemas mixtos tiene como principal ventaja la posibilidad de utilización de COTS para todas las funcionalidades no críticas del sistema.

El particionamiento espacial puede llevarse a cabo colocando las tareas críticas en cores distintos a los de las tareas no críticas y desarrollando los mecanismos de control que aseguren el acceso a los recursos compartidos sin interferencias. El particionamiento temporal puede desarrollarse mediante el uso de técnicas de virtualización. En este caso, por ejemplo, podemos utilizar un hipervisor para ejecutar de forma virtual sistemas operativos críticos y no críticos. El acceso a los recursos compartidos será gestionado por el hipervisor y esto requerirá que el nivel de certificabilidad del mismo sea igual o superior al de el proceso más crítico del sistema. Además, dependiendo del número de cores del sistema y de la aplicación a desarrollar, incluso es posible realizar una combinación de ambas técnicas. En todo caso será relevante demostrar el correcto nivel de aislamiento entre los recursos compartidos por procesos críticos y no críticos.

En este contexto se plantea la descripción de sistemas críticos usando un flujo de herramientas de alto nivel con foco en los atributos no funcionales más relevantes para la certificación de sistemas críticos. Este flujo de descripción se conecta con el basado en SystemC para la exploración de arquitecturas y aplicación de técnicas de codiseño. El uso de SystemC para la descripción de la aplicación así como de los módulos IP hardware permite la reutilización de bancos de pruebas y la mejor comprensión ente los programadores software y los diseñadores RTL del sistema lo que reduce los ciclos de diseño y test.

Esta metodología es aplicada en una plataforma reconfigurable de altas prestaciones donde se ilustran estos conceptos. Una hardware modular permite mantener los componentes principales (y críticos) del sistema en la misma tarjeta mientras que los componentes adicionales pueden ser portados a tarjetas de expansión de periféricos. Dentro de la FPGA, describimos una arquitectura SoC multicore para sistemas críticos basada en el softcore MicroBlaze, que se ha dotado de múltiples elementos para aumentar la robustez

como son el uso de buses independientes para cada procesador, módulos de monitorización, hardware para verificación de contenidos de memorias, watch-dogs independientes, etc.

Como trabajo futuro proponemos una solución basada en Leon-3 y la completa integración de esta arquitectura con el flujo de diseño basado en UML-Marte y SystemC.



## Desarrollo de aplicaciones críticas en sistemas multicore

Javier Díaz Alonso ([jdiaz@atc.ugr.es](mailto:jdiaz@atc.ugr.es)), José Luis Gutiérrez, David Fernández y Miguel Méndez (7S)

Depto. Arquitectura y Tecnología de Computadores.  
Universidad de Granada



II Jornadas Computación Empotrada, Granada  
20-21 Octubre 2011



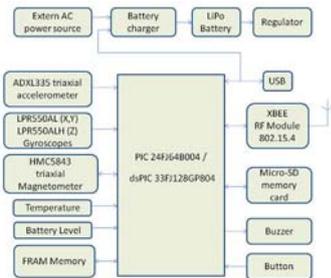
## Índice

1. Líneas de trabajo
2. Introducción: Sistemas críticos.
3. Problemas e hipótesis.
4. Plataforma ACP
5. Resumen y conclusiones



# Sistemas empotrados en e-Salud

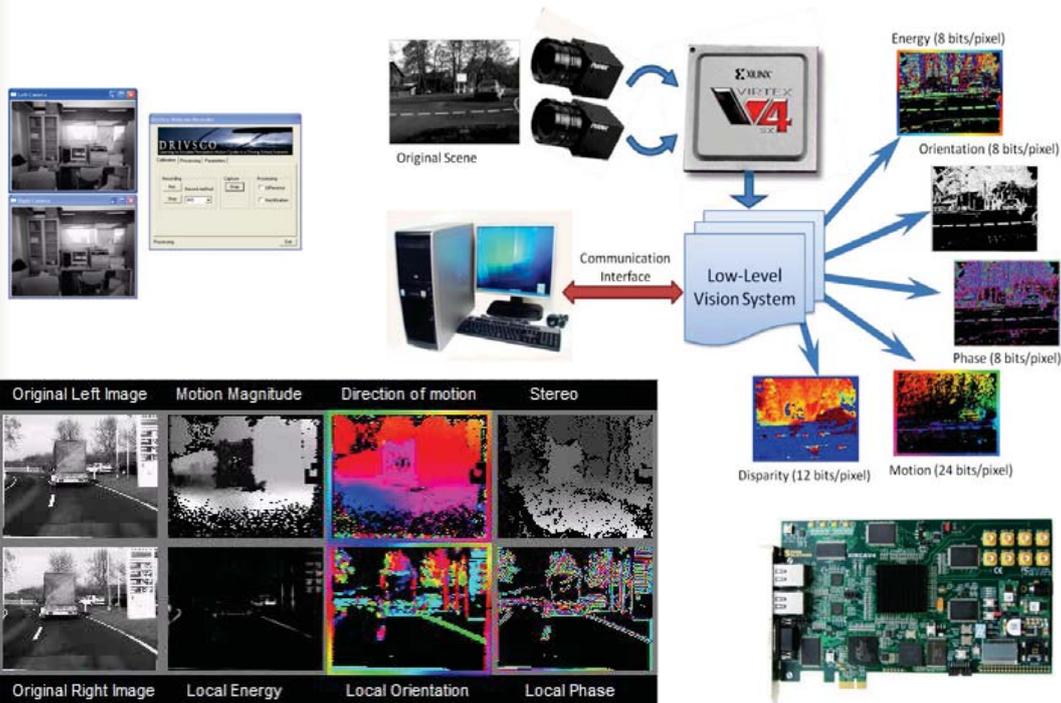
- Diseño y desarrollo de sistemas para AAL (*Ambient Assisted Living*)



- Desarrollos para equipos comerciales. Por ejemplo:

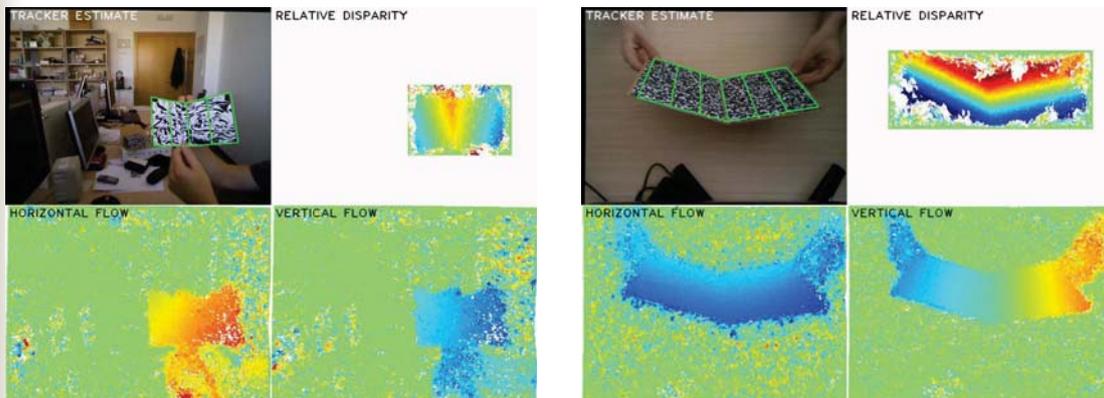


# Sistemas de visión-on-chip



# GPGPU para visión

- Seguimiento de objetos deformables en 3-D para aplicaciones de robótica



# Sistemas críticos

Dependability (confiable) = **Safety** +  
reliability + availability + secure

- Fiabilidad (**reliability**)– mantenimiento del correcto servicio en el tiempo
- Disponibilidad (**availability**)– prontitud en el uso
- Sin riesgos (**safety**)– fallos controlados y sin consecuencias catastróficas
- Seguridad (**security**)– evitar el acceso no deseado



# Sistemas críticos

- Safety critical systems
  - Mixed-criticality
- } Certificación

DAL	Definition :
	<b>Software whose anomalous behavior [...] would cause or contribute to a failure [...] resulting in a</b>
A	<b>catastrophic</b> failure condition for the aircraft
B	<b>hazardous/severe-major</b> failure condition for the aircraft
C	<b>major</b> failure condition for the aircraft
D	<b>minor</b> failure condition for the aircraft
E	<b>no effect</b> on aircraft operational capability or pilot workload



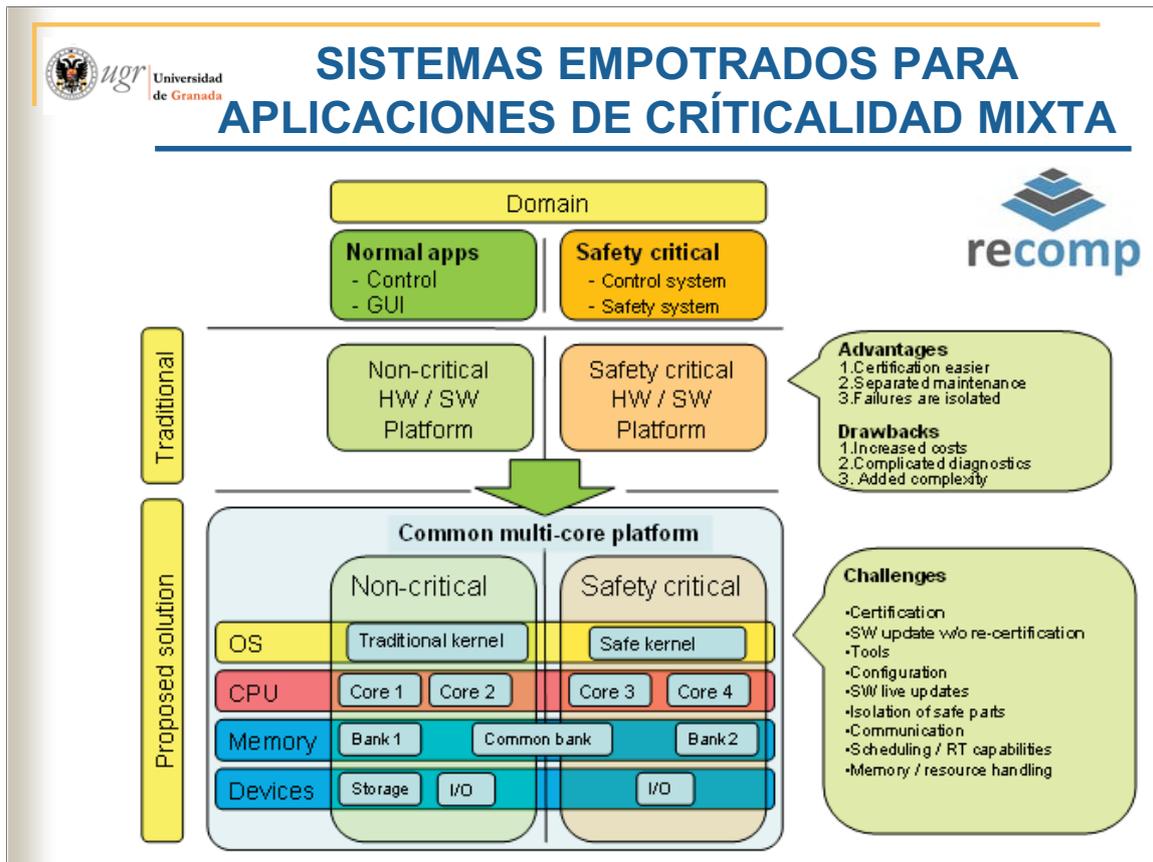
# Sistemas críticos

TABLE 1 - Failure Condition Severity as Related to Probability Objectives and Assurance Levels

Probability (Quantitative)	Per flight hour				
	1.0	1.0E-3	1.0E-5	1.0E-7	1.0E-9
Probability (Descriptive)	FAA	Probable		Improbable	
	JAA	Frequent	Reasonably Probable	Remote	Extremely Remote
Failure Condition Severity Classification	FAA	Minor		Major	Severe Major
	JAA	Minor		Major	Hazardous
Failure Condition Effect	FAA & JAA	- slight reduction in safety margins - slight increase in crew workload - some inconvenience to occupants		- significant reduction in safety margins or functional capabilities - significant increase in crew workload or in conditions impairing crew efficiency - some discomfort to occupants	- large reduction in safety margins or functional capabilities - higher workload or physical distress such that the crew could not be relied upon to perform tasks accurately or completely - adverse effects upon occupants
Development Assurance Level	ARP 4754	Level D		Level C	Level B
				Level B	Level A

Note: A "No Safety Effect" Development Assurance Level E exists which may span any probability range.

## Failure Condition Severity (Fuente[ARP4761])



## Problemas/hipótesis



- **Arquitectura HW fija**
  - Necesidad de planificación rigurosa
  - Razonable para procesadores hardcore
  - HW reconfigurable? softcores?
- **Multitud de herramientas de diseño y lenguajes de descripción del sistema.**
  - Problemas de interpretación, trazabilidad, etc..



# Tecnologías utilizadas

- Utilizar una descripción unívoca para describir sistemas empotrados: **SystemC → codiseño.**
  - Modelado de aplicación, plataforma HW, middleware, sistema operativo, etc...
  - Inclusión de propiedades no funcionales y elementos para certificación

12



# SystemC modeling and HW/SW codesign

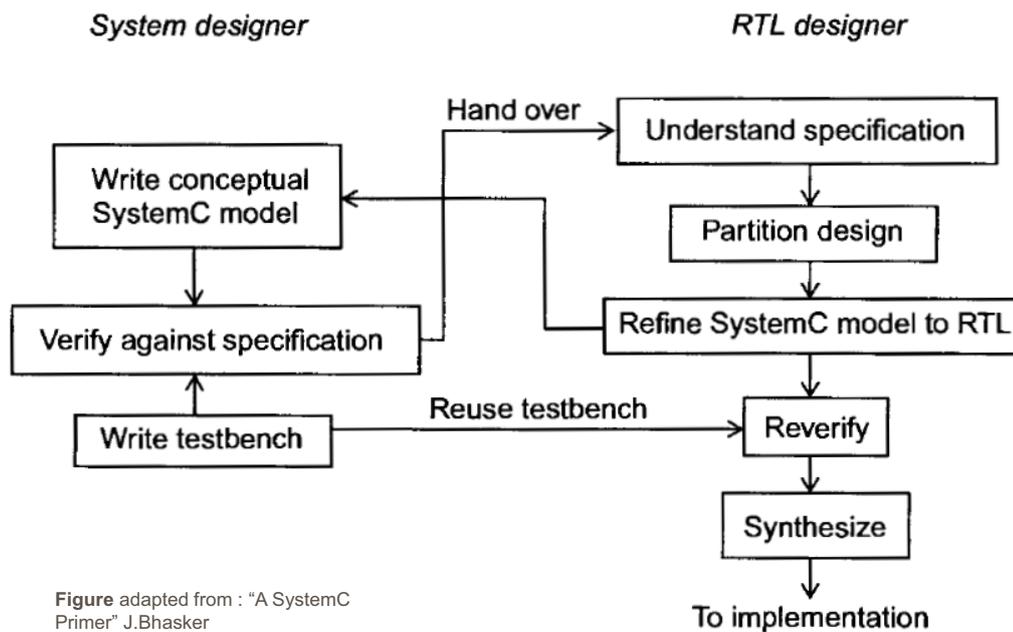
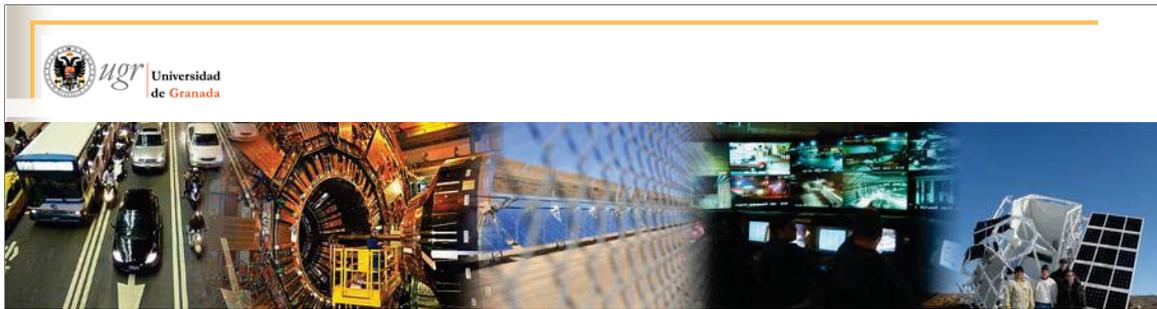


Figure adapted from : "A SystemC Primer" J.Bhasker



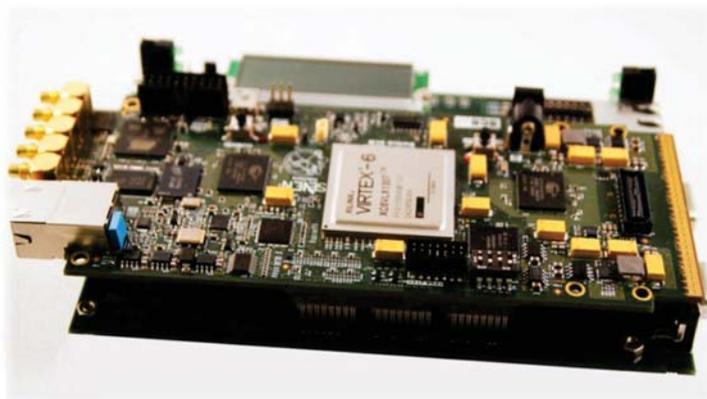
Avionic Computing Platform (ACP)

## MODULAR PLATFORM



## Plataforma HW ACP

- Tarjeta modular: Aión + tarjeta periféricos (RSB).



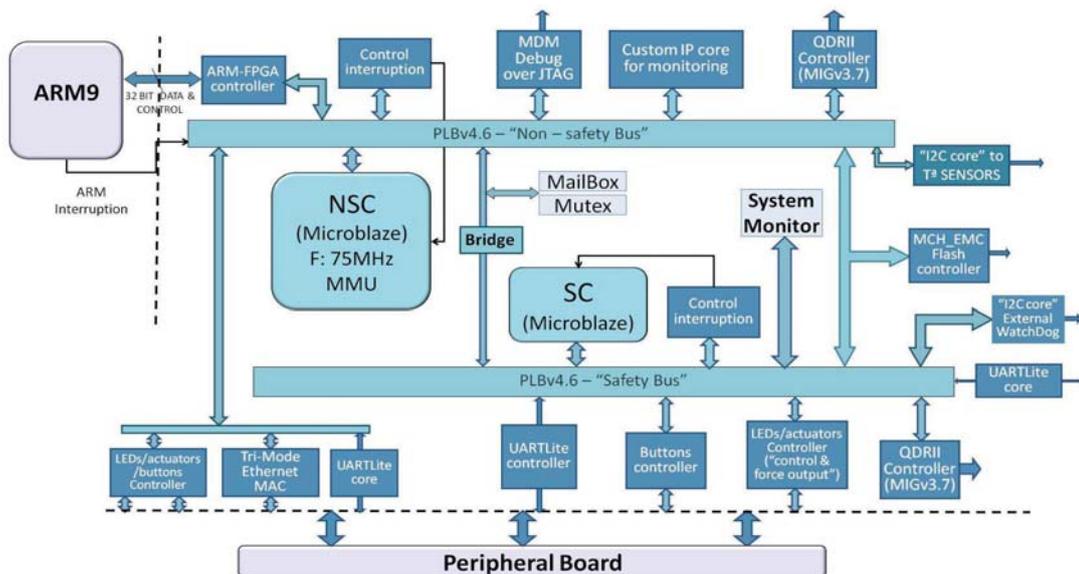
# Componentes Aion

- The board main elements are:
  - The High performance **Virtex-6 FPGA** (XC6VLX130T, XC6VLX240T or XC6VLX365T chips)
  - Two 512Kx36 QDRII SRAM
  - 8MB x 16 NOR Flash (BPI Configuration)
  - **ARM processor** (AT91SAM9G45). Well-known architecture and Linux support.
  - 32M x 16 DDR2
  - 256 MB NAND Flash
  - 8 MB SPI Boot Flash
  - Ethernet 10/100 PHY
  - Two external Watchdogs and serial ports for monitoring.



# ACP (Aion + RSB)

## ■ Arquitectura on-chip





## Mecanismos de “safety”

- Utilización de rutinas de monitorización de software, watchdogs, procesadores externos (ARM, “diversity”).
- Monitorización de potencia y temperatura
- EDACs, CRCs, MMU.
- Y además
  - Comunicaciones entre cores seguras.
  - HW run-time monitoring: utilización on-chip de IP cores no certificados.



## Trabajo en curso

- Desarrollo de arquitectura multicore basada en Leon-3
- Integración de los sistemas operativos:
  - MicroBlaze → FreeRTOS, Open/Safe RTOS (certificación industrial).
  - Leon-3 → PikeOS (certificación de aviónica). Integración Middleware comunicaciones.
- Modelado de la plataforma (incluyendo software) en SystemC → codiseño.



## Resumen/conclusiones

- Plataforma reconfigurable para desarrollo de sistemas certificables
  - MicroBlaze – SafeRTOS
  - Leon-3 – PikeOS
  - Modelado en SystemC de la plataforma → codiseño
  - Utilización de COTS para desarrollo de sistemas de criticalidad mixta → Run time monitoring.
  - Desarrollo basado en OpenHW/SW

### Preguntas o comentarios



Gracias por su atención



Email contacto: [jdiaz@atc.ugr.es](mailto:jdiaz@atc.ugr.es)

Web: <http://atc.ugr.es/~jdiaz>



**JCE 2011  
GRANADA**  
20 y 21 OCTUBRE 2011

**II JORNADAS DE COMPUTACIÓN EMPOTRADA**  
UNIVERSIDAD DE GRANADA

ORGANIZADOR



Departamento de Arquitectura y  
Tecnología de Computadores

PATROCINADORES



Master en Ingeniería de  
Computadores y Redes



*ugr*

Universidad  
de Granada

Vicerrectorado para  
la Garantía de la Calidad

ENTIDADES PARTICIPANTES



Sociedad de Arquitectura y  
Tecnología de los Computadores



Capítulo Español de la  
Sociedad IEEE Computer



Plataforma Tecnológica Española  
de Sistemas con Inteligencia Integrada

<http://atc.ugr.es/jce>